B　大容量共有ファイルサーバは以下に示す基本的な要件を満たすこと。
a　大規模並列計算サーバの高性能並列相互結合網に接続されること。
b　ユーザ利用可能領域の総和は5PByte以上であり、全ノードから均一な方法とバンド幅でアクセス可能であること。
c　大規模並列計算サーバからのアクセスの理論ピークバンド幅は60GByte／sec以上であること。
d　RAIDテクノロジによる耐故障運用が可能であり、これを構成するディスク装置単体の故障に対してはシステム全体の運用を停止することなくこれを交換可能であること。
C　全ノードで利用可能なソフトウェアは以下に示す基本的な要件を満たすこと。
a　Linuxオペレーティングシステムが動作すること。
b　各ノードのCPU部に関し、自動並列化機能及びOpenMP APIを有するFortran, C, C++処理系を提供すること。
c　各ノードのGPU部に関し、CUDA及びOpenACCによるGPUプログラミング処理系を提供すること。いずれの環境でもC／C++及びFortranが利用可能であること。
d　各ノードのFPGA部に関し、Verilog HDL及びOpenCL等の高位合成が可能なプログラミング環境を提供すること。
e　全ノード間で並列処理を行うためのMPI 3.0以上の規格の通信ライブラリが提供されること。
f　高度に並列化された数値計算ライブラリが提供されること。
g　全ノードを対象としたバッチジョブシステムが提供されること。
D　設置環境について　本システム全体の消費電力は、冷却設備の電力も含めて300kVA以下であること。CPU部、GPU部、FPGA部、主記憶およびディスク装置が連続的に稼働し続けた際にも十分な廃熱が行えるよう、電源容量、空調、設置方式が考慮されること。
E　大規模並列計算サーバの実効演算性能及び大容量共有ファイルサーバの入出力性能については、別途導入説明書に示すベンチマークにより評価する。
F　落札方式は価格及び性能・機能等の総合評価による。総合評価の概要は別途導入説明書に示す。
G　契約締結に当たり、複数年の契約期間の借り入れとする。
2　資料及びコメントの提供方法　上記1⑵の物品に関する一般的な参考資料及び同⑹の要求要件等に関するコメント並びに提供可能なライブラリーに関する資料等の提供を招請する。
⑴　資料等の提供期限　平成30年4月3日17時00分（郵送の場合は必着のこと。）
⑵　提供先　〒305―8577 つくば市天王台1丁目1番地の1　国立大学法人筑波大学計算科学研究センター主幹　重田　　彰　電話029―853―6486
3　説明書の交付　本公表に基づき応募する供給者に対して導入説明書を交付する。
⑴　交付期間　平成30年2月21日から平成30年4月3日まで。
⑵　交付場所　上記2⑵に同じ。
4　説明会の開催　本公表に基づく導入説明会を開催する。
⑴　開催日時　平成30年3月2日10時00分
⑵　開催場所　国立大学法人筑波大学計算科学研究センター1階ワークショップ室
5　その他　この導入計画の詳細は導入説明書による。なお、本公表内容は予定であり、変更することがあり得る。
6　Summary
⑴　Classification of the products to be procured : 14
⑵　Nature and quantity of the products to be rent : Advanced Multi-Hybrid Computer System 1 Set
⑶　Type of the procurement : Rent
⑷　Basic requirements of the procurement : The Advanced Multi-Hybrid Computer System consists of a large scale parallel processing server, a large scale shared file server, and external network system, and other hardware and software for stable and efficient operation of the total system.
A　The large scale parallel processing server must satisfy the following conditions.
a　The large scale parallel processing server is a sapercomputer with a number of high performance computing nodes.
b　A computation node is separated into two groups : “general node” which consists of CPU part and GPU (Graphics Processing Unit) part, and “FPGA equipped node” with CPU part, GPU part and FPGA (Field Programmable Gate Array) part. The large scale parallel processing server consists of these computation nodes connected by high performance interconnection network. Hereafter, we callboth type of nodes as just “computation nodes”. Note that an FPGA node also implies GPU part.
c　CPU part consists of single or multiple sockets of general purpose high performance CPU, main memory and other peripherals. GPU part consists of single or multiple high performance GPU devices. FPGA part consists of a PCIe board with high performance FPGA. All the general nodes and all the FPGA equipped nodes must be identical in each. Both type of nodes must be equipped with the interface for high performance interconnection network for parallel processing.
d　The CPU part must have a general purpose multi-core architecture with identical cores based on 64-bit extended IA32 architecture.
e　Theoretical peak performance in CPU part must be 440GFLOPS or higher (64bit double precision floating point).
f　Memory capacity of CPU part must be 96GiByte orlarger, and the theoretical peak bandwidth must be 115 GByte／sec or higher.
g　Theoretical peak performance in GPU part must be equal to or high than 14TFLOPS, 28TFLOPS or 56TFLOPS for double precision (64bit), single precision (32bit) or half precision (16bit), respectively. If a single GPU device cannot provide these performance, it is acceptable to provide multiple GPU devices with aggregated performance to satisfy them.
h　GPU part must have 32GiByte or large capacity of device memory, and the theoretical peak bandwidth must be 1800GByte／sec or higher. If a single GPU device cannot provide it, it is acceptable to provide multiple GPU devices with aggregated memory capacity and bandwidth to satisfy them.
i　FPGA equipped node must be equipped with an FPGA satisfying the following specifications.
⑴　It must have 2500K or more number of logic gates with 6-input／1-output Lookup Table and 1bit or large register for each. It must have 160Mbit or larger capacity of internal memory. It must provide 3200GFLOPS or higher single precision floating point performance in IEEE-754 standard.
⑵　It must have 16GiByte or larger capacity of external memory with 70GByte／sec or high bandwidth. At least a half memory channels must provide ECC feature.
⑶　Beside the PCIe interface to be connected to CPU part or GPU part, it must be equipped with multiple external communication channels with high speed network interface. This part consists of four or more channels of QSFP28 connector which provides 100Gbps or higher speed for each. The external network links of all FPGA equipped nodes must be connected by high performance network switch to support these link speed. It is acceptable to separate the switch and network groups by each channel.