2　資料及びコメントの提供方法
⑴　資料等の提供期限　平成30年３月23日17時00分（郵送の場合は必着のこと。）
⑵　提出先　〒100―8974 東京都千代田区霞が関２－１－２　警察庁情報通信局通信運用室　豊田　一徳　電話03―3581―0141
3　説明書の交付　本公表に基づき応募する供給者に対して導入説明書を交付する。
⑴　交付期間　平成30年２月21日から平成30年３月23日まで。
⑵　交付場所　上記２⑵に同じ。
4　Summary
⑴　Classification of the products to be procured : ①②15, 28 ③④16
⑵　Nature and quantity of the products to be purchased :
①　Mobile Video Transmission Equipment Type(Ⅱ), Quantity is undecided
②　Security Camera System, Quantity is undecided
③　Ultra Sensitivity Camera System, Quantity is undecided
④　Video Edit System, Quantity is undecided
⑶　Type of the procurement : purchase
⑷　Basic requirements of the procurement : as enclosure
⑸　Time-limit for the submission of the requested material : 17 : 00　23 March, 2018
⑹　Contact point for the notice : Kazunori Toyoda, Communications Operations Office, Info-Communications Bureau, National Police Agency, 2―1―2 Kasumigaseki Chiyoda-ku Tokyo 100―8974 Japan. TEL 03―3581―0141

資料提供招請に関する公表

次のとおり物品の導入を予定していますので、当該導入に関して資料等の提供を招請します。
平成 30 年２月 21 日
国立大学法人筑波大学
財務担当副学長　石野　利和
◎調達機関番号　415　◎所在地番号　08

○第２号

1　調達内容
⑴　品目分類番号　14
⑵　導入計画物品及び数量　最先端多重複合型計算機システム　一式
⑶　調達方法　借入
⑷　導入目的　本システムは、筑波大学計算科学研究センターにおいて全国共同利用資源等の目的に供されるスーパーコンピュータである。
⑸　導入予定時期　平成30年度３月以降
⑹　調達に必要とされる基本的な要求要件　最先端多重複合型計算機システムは大規模並列計算サーバ、大容量共有ファイルサーバ、及びこれらを有機的に連携し、安定かつ効率的に運用するために必要なその他の設備（ハードウェア及びソフトウェア）により構成されるものとする。
A　大規模並列計算サーバは以下に示す基本的な要件を満たすこと。
a　大規模並列計算サーバは高性能演算装置を持つ複数の計算ノードで構成される高並列型計算機であること。
b　計算ノードはCPU部とGPU（Graphics Processign Unit）部からなる「一般ノード」と、CPU部・GPU部に加えFPGA（Field programmable Gate Array）部を持つ「FPGA搭載ノード」の２種類からなり、大規模並列計算サーバはこれらのノード群を高性能並列相互結合網で結合して構成すること。以下、単に「計算ノード」または「ノード」と呼ぶ場合はこれらの両方のタイプの計算ノードを示す。（注：FPGA搭載ノードにもGPU部があることに留意）
c　CPU部は１基以上の汎用CPU、主記憶装置及び周辺装置からなる。GPU部は１基以上の高性能GPUからなる。FPGA部は高性能FPGAを備えるPCIeボードからなる。一般ノード同士、及びFPGA搭載ノード同士はそれぞれが均質な構成であること。いずれのノードも共通の仕様を持つ高性能並列相互結合網インタフェースを備えること。
d　各ノードのCPU部は均一な計算コアを複数持つマルチコアアーキテクチャを持ち、64ビット拡張されたIA32アーキテクチャに基づくものであること。
e　各ノードのCPU部の倍精度（64bit）浮動小数点ピーク演算性能は440 GFLOPS以上であること。
f　各ノード上のCPU部の主記憶装置は、96GiByte以上であり、その理論ピークバンド幅は115GByte／sec以上であること。
g　各ノードのGPU部のピーク演算性能は倍精度（64bit）、単精度（32bit）、半精度（16bit）でそれぞれ14TFLOPS、28TFLOPS、67TFLOPS以上であること。単一のGPUでこれを達成できない場合は、複数のGPUによりGPU部を構成し、それらの合計をもってこれを達成してもよい。
h　各ノードのGPU部は32GiByte以上の容量のメモリを持ち、その理論ピークバンド幅は1800GByte／sec以上であること。GPU部が複数のGPUからなる場合は、それらの合計をもってこの容量及び性能を達成してもよい。
i　FPGA搭載ノードのFPGA部は以下の仕様を満たすFPGAを持つこと。
(ｱ)　総ロジック規模は、６入力１出力相当以上のLookup Table １個と１bit以上のレジスタを備えた基本ゲートを2500Kゲート以上持ち、内蔵メモリ容量は160Mbit以上とする。また、IEEE-754に準拠した単精度浮動小数点性能において、3200GFLOPS以上を実現するものとする。
(ｲ)　70GByte／秒以上のバンド幅を持つ16GiB以上の外部メモリを備えること。また、少なくとも半数以上のメモリチャネルがECCに対応していること。
(ｳ)　CPU部及びGPU部との接続を行うインタフェースとは別に、他のFPGA搭載ノードのFPGA部と接続可能な高速外部接続ネットワークインタフェースを持つこと。高速外部接続ネットワークは４チャネル以上のQSFP28コネクタを持ち、各チャネルの通信性能は100Gbps以上であること。また、全てのFPGA搭載ノードの高速外部接続ネットワークを結合するネットワークスイッチを設けること。FPGA部からの当該ネットワークが複数チャネルで構成される場合、このスイッチはチャネル毎に独立に設置してもよい。
j　各ノードが備える高性能相互結合網インタフェースのネットワークリンクは200Gbps以上の理論ピーク性能を持つこと。単一のネットワークリンクがこれを満たさない場合、複数のリンクで実現しても良いが、MPI等の並列プログラミング環境からはこれらが単一リンクと等価に利用できること。
k　各ノードはPCIe Gen3x8レーン以上で接続される3.2TByte以上のNVMe SSDを持つこと。またその耐久性は3DW／D（Drive Write per Day）以上とする。
l　全ノードを結合する高性能相互結合網はフルバイセクションバンド幅を提供するネットワークスイッチで構成されること。
m　各ノードのGPU部、FPGA部（FPGA搭載ノードのみ）、高性能相互結合網インタフェースはPCIe gen3以上のインタフェースでCPU部に結合されること。その際、GPU部及びFPGA部はそれぞれx32及びx16レーンで結合され、さらに高性能相互結合網インタフェースはx32レーンで結合されること。これらの全デバイスは相互の通信においてボトルネックを生じないようなPCIeスイッチで結合されること。同スイッチはCPU内に組み込まれていてもよいが、デバイス間での通信ボトルネックが生じてはいけない。
n　大規模並列計算サーバ全体のCPU部の倍精度浮動小数点ピーク演算性能は112 TFLOPS以上であること。同様にGPU部の単精度浮動小数点ピーク演算性能は7.1PFLOPS以上であること。同様にFPGA部の単精度浮動小数点ピーク演算性能は204 TFLOPS以上であること。
o　大規模並列計算サーバ全体のCPU部主記憶容量は24.5TiByte以上であること。