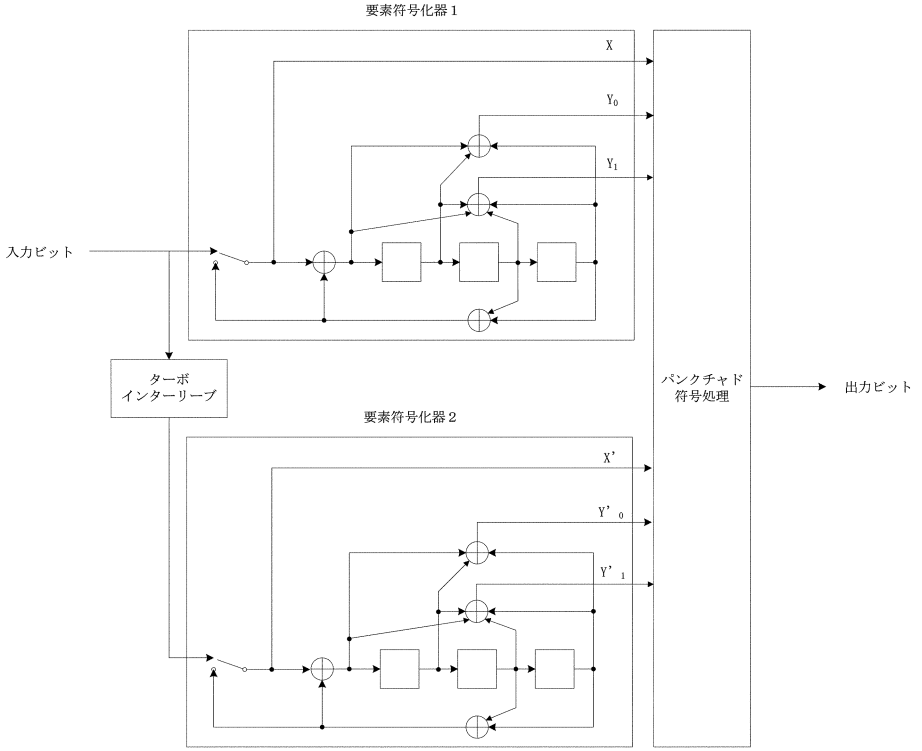
別記１　ターボ符号化方式



注１　入力ビットは、物理層パケット単位処理の場合は物理層パケットのうちテール部を除いたものとし、ブロック単位処理の場合は16の物理層パケットから生成される15994ビットの符号系列とする。

２　⊕は、排他的論理和の演算素子を表す。

３　□は１ビット遅延素子を表す。

４　入力ビット数の回数符号を発生させた後、要素符号化器１及び２のスイッチを下に切り替え、要素符号化器１のみから３回符号を発生させ、要素符号化器２のみから３回符号を発生させるものとする。

５　ターボインターリーブは、以下のとおりとする。

⑴　物理層パケット単位処理

ターボインターリーブへの入力ビット（p_{993}，p_{992}，…，p_0）は、カウンタ値m(m＝０，１，２，…，1024）から与えられる値n_mによりp_{nm}が順に出力されるものとし、mの初期値を０とし、これを全ての入力ビットが出力されるまでmを１ずつ増加して繰り返すものとする。

ただし、n_mは、

‘$i_9 i_8 i_7 i_6 i_5 i_4 i_3 i_2 i_1 i_0$’	：カウンタ値mを２進数表示したもの
I_0	：‘$i_4 i_3 i_2 i_1 i_0$’を10進数表示した値
I_1	：‘$i_9 i_8 i_7 i_6 i_5$’を10進数表示した値
D［x］	：xにより以下の表から与えられる値
‘$j_4 j_3 j_2 j_1 j_0$’	：D［I_0］×（I_1＋１）により求められる値を２進数表示したものの下位５ビット

x	D［x］	x	D［x］
0	27	16	21
1	3	17	19
2	1	18	1
3	15	19	3
4	13	20	29
5	17	21	17
6	23	22	25
7	13	23	29
8	9	24	9
9	3	25	13
10	15	26	23
11	3	27	13
12	13	28	13
13	1	29	1
14	13	30	13
15	29	31	13

としたとき、‘$i_0 i_1 i_2 i_3 i_4 j_4 j_3 j_2 j_1 j_0$’を10進数表示した値とし、$n_m$が994以上の場合は出力しないこととする。

⑵　ブロック単位処理

ターボインターリーブへの入力ビット（p_{15993}，p_{15992}，…，p_0）は、カウンタ値m（m＝０，１，２，…，16384）から与えられる値n_mによりp_{nm}が順に出力されるものとし、mの初期値を０とし、これを全ての入力ビットが出力されるまでmを１ずつ増加して繰り返すものとする。

ただし、n_mは、

‘$i_{13}\ i_{12}\ i_{11} \cdots i_2\ i_1\ i_0$’	：カウンタ値mを２進数表示したもの
I_0	：‘$i_4 i_3 i_2 i_1 i_0$’を10進数表示した値
I_1	：‘$i_{13} i_{12} i_{11} i_{10} i_9 i_8 i_7 i_6 i_5$’を10進数表示した値
D［x］	：xにより以下の表から与えられる値
‘$j_8 j_7 j_6 j_5 j_4 j_3 j_2 j_1 j_0$’	：D［I_0］×（I_1＋１）により求められる値を２進数表示したものの下位９ビット

x	D［x］	x	D［x］
0	13	16	509
1	335	17	215
2	87	18	47
3	15	19	425
4	15	20	295