③　コンパイル速度　１億ゲート規模のレジスタ転送レベル及びゲートレベルのネットリスト関して、少なくとも数時間以内にコンパイルを実行可能であること。

④　マルチユーザ機能　複数ユーザが遠隔地からリモートで50以上の任意のジョブを独立して実行可能であること。装置全エミュレーション容量①の１／100以下の粒度で各ジョブにエミュレーション容量を割り当て可能であること。

⑤　グループ機能　ソフトウェアによる設定だけで、全エミュレーション容量を任意の容量だけ独立した３つ以上のユーザグループに割り当て可能であること。このとき、各グループ間の秘匿性を確保して計算を実行可能であること。

⑥　クロックエミュレーション機能　同期クロック、非同期クロック、ゲーテッド・クロックの各回路をコンパイルして実行可能で、クロック数に制限がないこと。

⑦　設計検証言語　ＨＤＬに関しては、VHDL, Verilog-HDL、ゲートレベルネットリスト、ＨＶＬに関しては、C++, System C, System Verilog、Assertionに関しては、ＳＶＡ、ＰＳＬ、ＯＶＬのそれぞれをサポートすること。

⑧　ハードウェア故障に対する対応　ボードのいくつかが故障した場合、ソフトウェアによる設定で故障個所を除外し継続運用ができること。また不良個所の交換を、システムを停止することなく実施可能であること。

⑨　信号観測　コンパイル時に観測する信号を指定することなく、エミュレーション実行後、任意の信号をオフラインで観測可能であること。

⑩　トリガ機能　エミュレーションを一旦停止し、複数のデザインノードをトリガしてデバッグする機能を持ち、停止箇所から再開可能であること。再コンパイルをせずにトリガ条件の変更が可能であること。

⑪　シミュレータ連動機能　エミュレータの扱うロジックは0,1の二値を基本とする。不定Ｘ等その他の伝播を行うことができることが望ましい。また、シミュレータとの間の即時切替を行い不定Ｘの伝播等を検討できることが望ましい。

⑫　消費電力見積もり　ＲＴＬ及びゲートレベルネットリストのトグルカウント解析及びこれに基づく消費電力見積もりが可能であること。

⑬　ＵＰＦ／ＣＰＦサポート　ＵＰＦによるシステムレベルの省電力検証をサポートすること。更に、ＣＰＦ等を含む別の方法を付加的にサポート可能であることが望ましい。

⑭　クライアントソフトウェア検証機能　デザインと連動して、Linux／Windows上で実行されるソフトウェアを遠隔地からリモートでデバッグする機能を有すること。

⑮　ファームウェア検証機能　検証対象に搭載するソフトウェア、すなわちファームウェアを遠隔地からリモートでデバッグする機能を有すること。

2　資料及びコメントの提供方法　上記１⑵の物品に関する一般的な参考資料及び同⑹の要求要件等に関するコメント並びに提供可能な各種装置に関する資料等の提供を招請する。

⑴　資料等の提出期限　平成30年７月９日17時（郵送の場合は必着のこと。）

⑵　提出先　〒305―8568 茨城県つくば市梅園１－１－１　国立研究開発法人産業技術総合研究所　つくば中央第二事業所研究業務推進部会計Ｂグループ　網戸奈緒美　電話029―861―3116

3　説明書の交付　本公表に基づき応募する供給者に対して導入説明書を交付する。

⑴　交付期間　平成30年６月７日から平成30年７月９日まで。

⑵　交付場所　上記２⑵に同じ。

4　説明会の開催　本公表に基づく導入説明会を導入説明書交付後別途開催する。

⑴　開催日時　平成30年６月14日15時

⑵　開催場所　国立研究開発法人産業技術総合研究所　つくば中央第二事業所　２－１Ｃ棟７階入札室

5　その他　この導入計画の詳細は導入説明書による。なお、本公表内容は予定であり、変更することがあり得る。

6　Summary

⑴　Classification of the products to be procured : 14

⑵　Nature and quantity of the products to be purchased : AIST Logic LSI Design Verification System 1 Set

⑶　Type of the procurement : purchase

⑷　Basic requirements of the procurement : AIST Logic LSI Design Verification System consists of ⑴ a body of a logic emulator, ⑵ subsystem for compiling register transfer level designs and gate level net lists, ⑶ work stations for displaying the output wave forms, ⑷ user interface software programs, and ⑸ simulation models for IP's including bus, I／O and memory interfaces. Major components must be mounted on racks. The following is the summary of the requirements for the specification of AIST Logic LSI Design Verification System :

A．The system must have the sufficient capacity to emulate a logic core design consisting of more than 1.7billion gates, which is specified by the register transfer level description or the gate level net list. The logic emulator must also emulate that design together with peripheral components specified by the virtual IP's, which are simulation models for IP's.

B．The system must execute the whole the following sequence within several hours : loading a 100-million-gate compiled design to the body of the logic emulator, calculating its response to a one-billion-cycle test vector, and transferring the result to the workstation.

C．The system must accept more-than-50 independent job submissions from multiple remote users. The system must have capability to divide the emulation capacity and assign it to a single job with the resolution smaller than 1／100 of the total capacity of the system.

D．The system must have capability to assign the emulation capacity to more than three user groups arbitrarily by the remote command, which is software based scheme. The system must also have the capability that the users in each group can execute emulations secretly to the users in the other user groups.

E．The system must compile multiple synchronous, asynchronous, and gated clocks and emulates them, where there is no restriction to the number of those clocks.

F．The system must support : VHDL, Verilog-HDL, and gate level net list, as the hardware description languages (HDL's) : C++, System, and System Verilog, as the hardware verification languages (HVL's) : SVA, PSL, and OVL, as the assertion definition languages (ADL's), respectively.

G．In case some of the boards fail or break down, the failure board must be excluded (masked) from the system based on remote command, which is software based scheme, and the system continuous to run without a shutdown. The failed board must be substituted without a system shutdown.

H．Logical values on the arbitrary pins in the emulated design must be offline observable after the emulation execution without specifying the objective pins in the compiling.

I．The system must have a function to stop the emulation under the condition based on logical values the multiple design nodes (triggering condition), and also has a function to restart the emulation. Here, the triggering condition must be changeable without re-compiling.

J．Basically, the system emulates the design by two logical values of 0 and 1. It is preferable that other logical values as X, "Don't Care", are available in the system. Also, it is preferable that the system has a function to immediately exchange the run between the emulation and the software based simulation and to verify the propagation of "X".